

*Учреждение образования РБ
Белорусский государственный университет
информатики и радиоэлектроники*

*Факультет заочного, вечернего и дистанционного обучения
«Вычислительные машины системы и сети»*

КОНТРОЛЬНАЯ РАБОТА №2

по предмету «СИФО ЭВМ»
студента ФЗВиДО БГУИР
группы 500503
Авсеева С.П.

МИНСК-2009

КОНТРОЛЬНАЯ РАБОТА №2.

Задание.

Синтезировать блок обработки данных (БОД) на интегральной микросхеме К1804ВС1 и составить микропрограмму управления БОД.

Арифметическая операция:

Ln(x_i), $x_i = ba_i$,

где: x_i – знач., вычисляемое в текущем цикле ввода аргументов, i – номер цикла, a_i – входящее значение, b – константа.

Разрядность данных 20 бит.

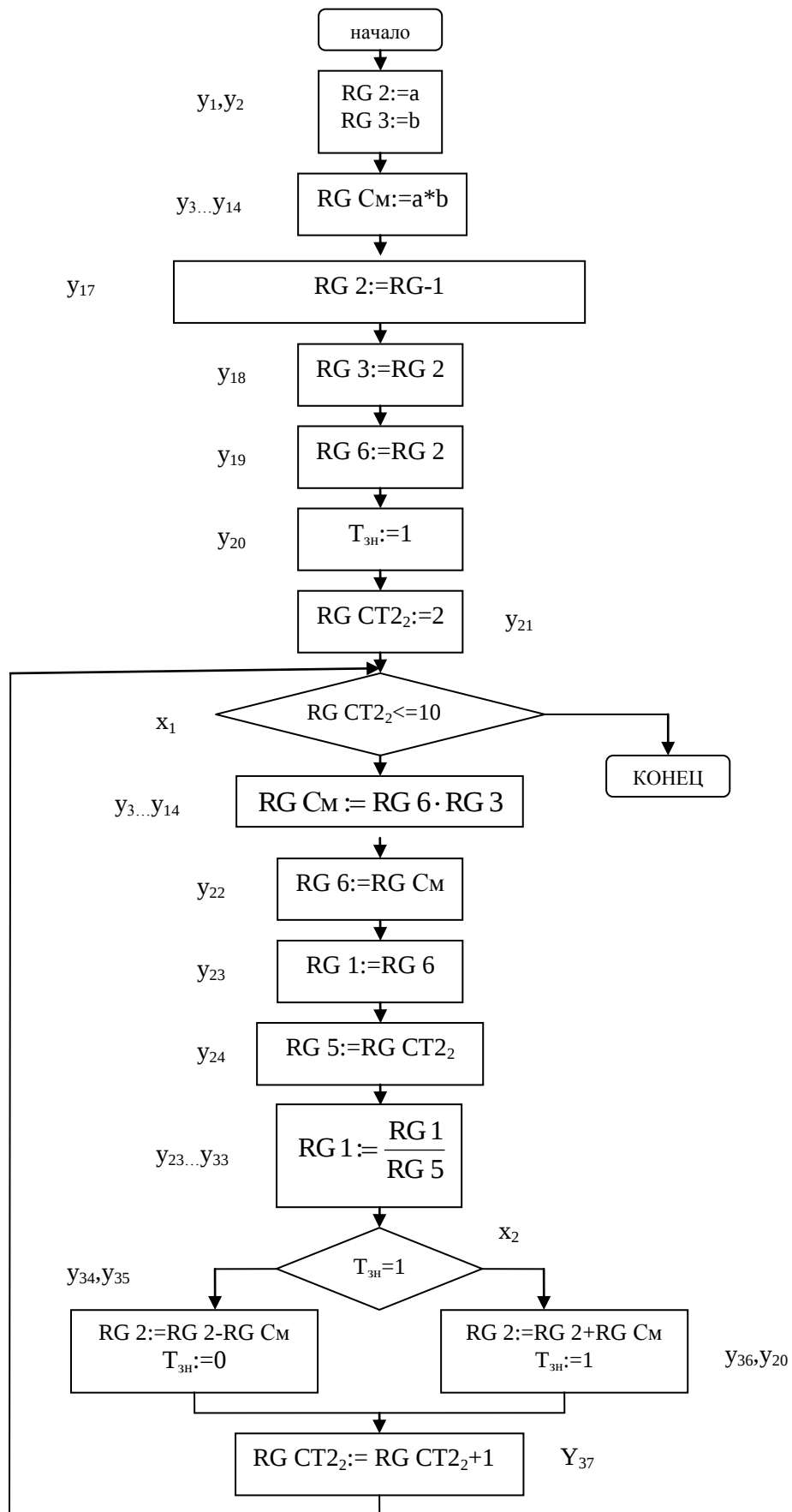
Примечание: теоретические расчёты и синтез АЛУ приведены в контрольной работе №1.

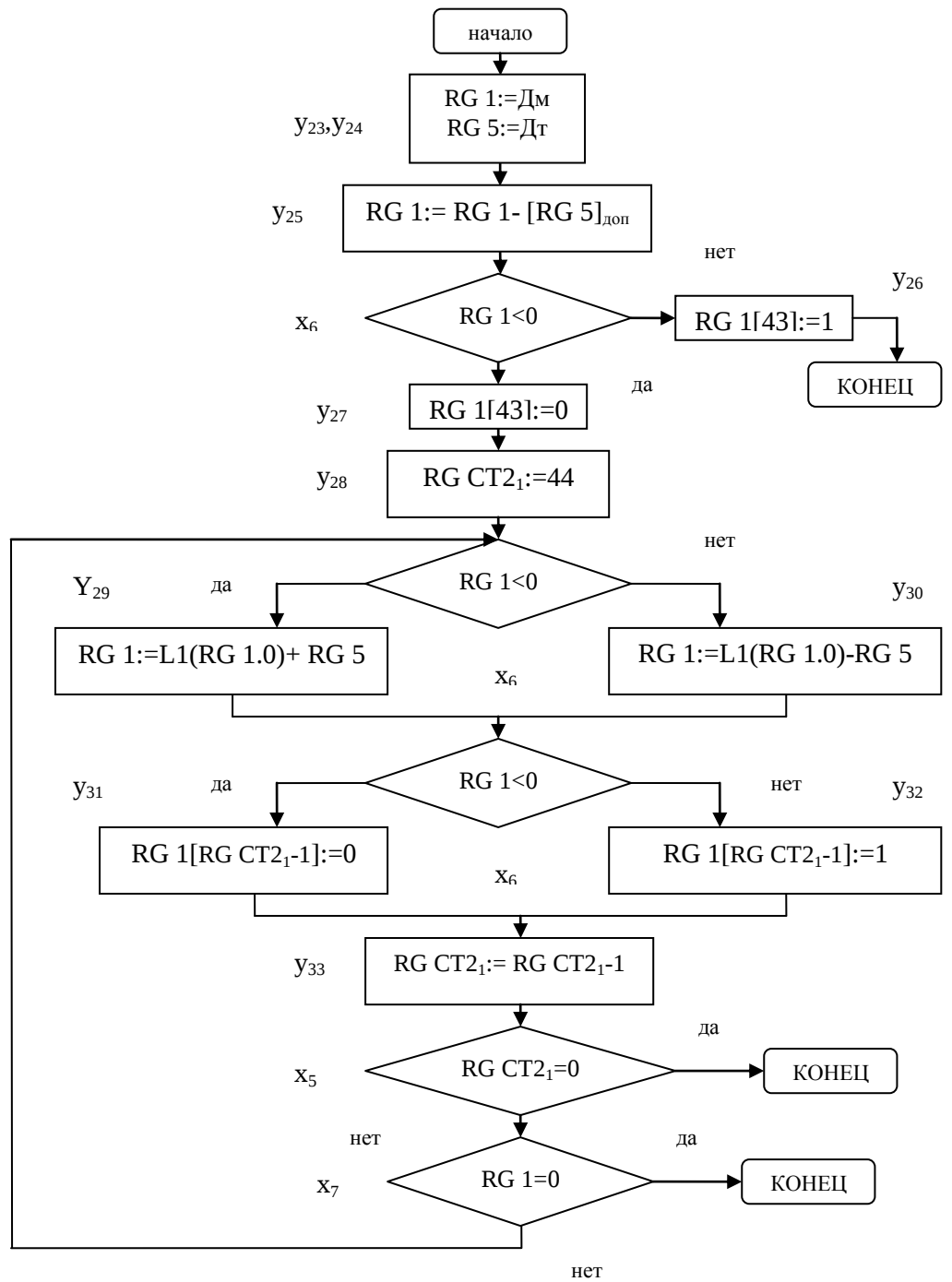
Решение.

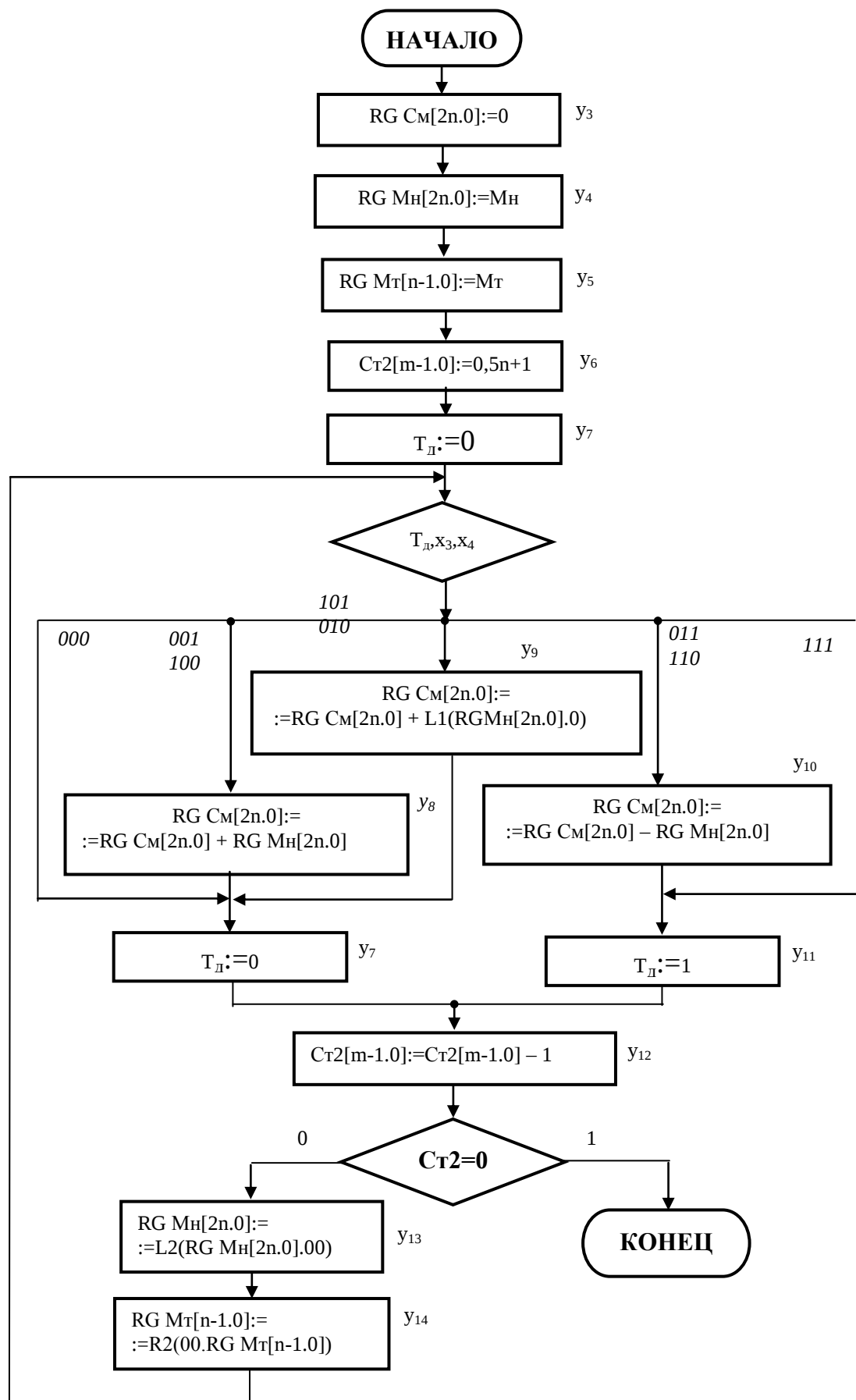
По условию слово, подаваемое на вход блока обработки данных информационное слово имеет вид:

Зн	Мантисса										Зн	Порядок		
20	19										6	5	4	

Теперь разработаем блок-схему алгоритма для заданной функции.







Структурная схема БОД состоит из следующих основных блоков (рис. 1):

- микропроцессорного блока (МПБ);
- схемы ускоренного переноса (СУП);
- схемы управления состоянием и сдвигами (СУСС);
- блока входного, выходного и адресного регистра (ВхР, ВыхР, РА).

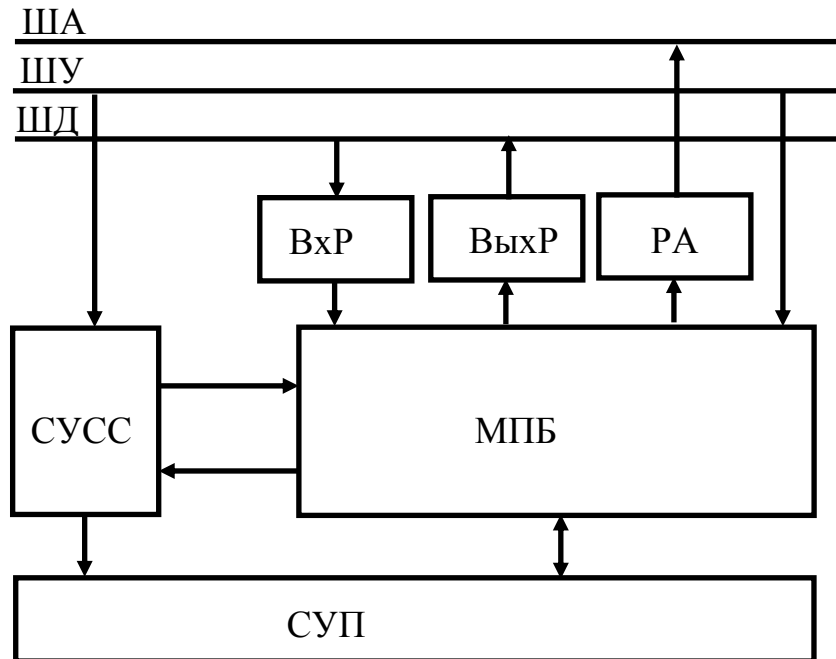


Рис. 1 Структурная схема БОД

Четырехразрядная микропроцессорная секция К1804ВС1 предназначена для построения операционных блоков цифровых устройств с разрядностью, кратной 4. На структурной схеме МПС условно выделяют четыре крупных блока (рисунок 2): 1) БВП – блок внутренней памяти; 2) АЛБ – арифметико-логический блок; 3) блок регистра Q; 4) БУ – блок управления.

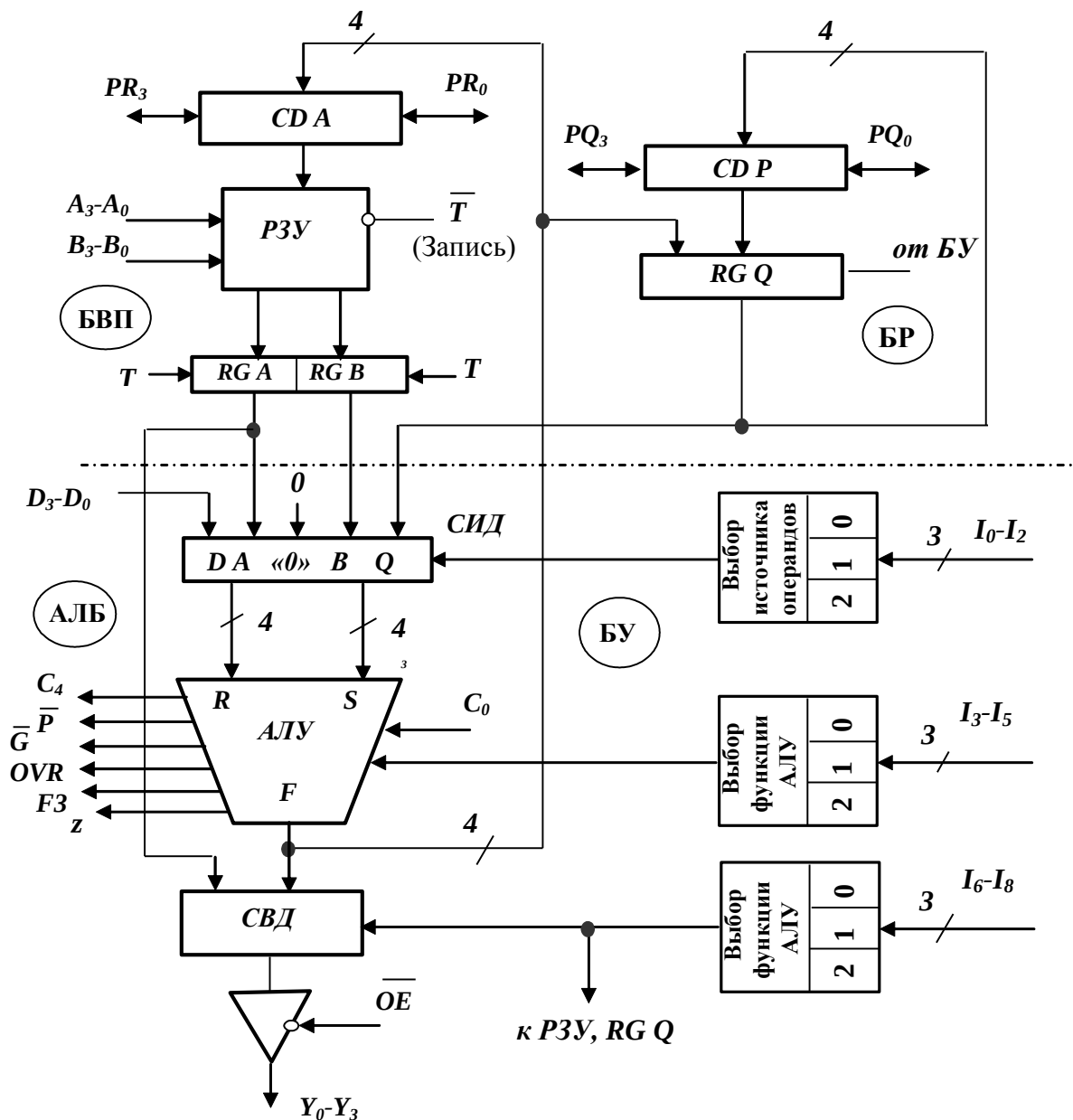


Рис. 2 Структурная схема K1804BC1

Блок внутренней памяти содержит в своем составе регистровое ЗУ с двумя независимыми каналами выбора информации – канал адреса А и канал адреса В. На входе РЗУ включен сдвигатель А (CD А), позволяющий записывать в ЗУ информацию как без сдвига, так и со сдвигом вправо или влево на один разряд. Запись в РЗУ возможна только по адресу, указанному на линиях канала В.

Регистры RG А и RG В, установленные на выходах РЗУ, представляют собой 4 разрядные устройства с синхронной записью информации.

Выбор из БВП любого РОН в качестве источника информации осуществляется путем подачи на входы А и В адресной информации без программирования каких-либо других управляющих сигналов. Из РЗУ одновременно могут быть считаны 2 операнда. При этом, если на входах А и В установлены одинаковые адреса (выполняется обращение к одному и тому же РОН), то на обоих выходах РЗУ появляются идентичные данные.

Запись данных в РЗУ выполняется только по каналу В, при этом адрес по каналу А игнорируется. Моментом начала записи в РЗУ является момент перехода тактового импульса из состояния «1» в состояние «0».

Информация перед записью может быть сдвинута влево или вправо на один разряд. Эту операцию выполняет сдвигатель данных CD A, управляемый сигналами с дешифратора приемника результата.

Арифметико-логический блок включает в свой состав двухвходовое АЛУ, выполняющее 8 арифметических и логических операций и формирующее 4 признака результата:

C_4 – перенос из старшего разряда результата;

OVR – переполнение; $OVR = 1$, если $C_4 \oplus C_3 = 1$;

F_3 – знак числа или значения старшего разряда на выходе АЛУ;

z – признак нулевого результата.

С выхода АЛУ информация подается на первый вход селектора выходных данных (СВД). На второй вход селектора данные передаются прямо с выхода RG A, минуя АЛУ. С выхода СВД информация через управляемые усилители передается на выходную шину МПС – трехстабильную шину Y.

Селектор источников данных выбирает операнды для R и S входов АЛУ. Причем выбор источников операндов осуществляется сигналами микрокоманды I_2 - I_0 , приемника результата – сигналами I_8 - I_6 , а функции АЛУ – сигналами I_5 - I_3 .

Арифметические операции в АЛУ выполняются с учетом значения сигнала входного переноса C_0 и по правилам дополнительного кода при представлении отрицательных чисел.

Выводы $\bar{P}$, $\bar{G}$ АЛУ позволяют с помощью внешних схем организовать между секциями ускоренный перенос при комплексировании их в блок с разрядностью, кратной четырем.

Сигналы признаков, формируемые АЛУ, используются следующим образом. Вывод F_3 – старший разряд АЛУ – может быть использован, например, для определения знака арифметической операции. При этом отсутствует необходимость отпираания трехстабильной выходной шины данных, что упрощает выполнение команд перехода в мультипроцессорных системах. При соединении нескольких МПС знаком является вывод F_3 старшей секции. Выводы F_3 остальных секций не используются.

Выход z выполнен по схеме с открытым коллектором, и при объединении нескольких МПС все выводы z соединяются в общей точке, подключаемой через резистор к источнику питания. Потенциал этой точки имеет высокий уровень, если все выходы АЛУ одновременно нулевые.

Блок регистра Q состоит из дополнительного регистра RG Q и сдвигателя CD P. Сдвигатель данных позволяет перезаписывать информацию в RG Q как без сдвига, так и со сдвигом влево или вправо на один разряд. Запись данных в RG Q выполняется по положительному фронту сигнала синхроимпульса.

Блок управления формирует управляющие сигналы для остальных блоков МПС. Входами данной подсхемы является шина микрокоманды I_8 - I_0 , которую условно можно разделить на три части. Блок управления соответственно также может быть представлен в виде совокупности трех частей, причем первая – вырабатывает сигналы управления для СИД, вторая – используется для управления функцией АЛУ, а третья – для управления СВД, RG Q, CD P, CD A.

Инверсный сигнал $\overline{OE}$ предназначен для управления Y-выходами МПС. При $\overline{OE} = 0$ разрешается вывод информации через Y-выходы на ШД, если $\overline{OE} = 1$ выходная шина отключается (переводится в состояние R_{off}).

Кроме МПС K1804BC1 в блоке обработки данных будем использовать схему ускоренного переноса K1804BP1 и схему управления состоянием и сдвигами K1804BP2.

Одна схема ускоренного переноса (СУП) K1804BP1 позволяет организовать параллельные цепи переноса в блоке обработки данных разрядностью до 16. При разрядности БОД больше 16 может быть использовано каскадное включение СУП.

Схема управления состоянием и сдвигами (СУСС) предназначена для выполнения различных функций обслуживания АЛУ: формирования сигнала входного переноса; организации арифметических, логических и циклических сдвигов чисел обычной и двойной длины; выполнение операций как с целым словом так и с отдельными битами любого из двух регистров состояния, проверки за такт одного из 16 различных условий, которые поступают с выхода одного из двух регистров состояния или МПС.

Блок входного и выходного регистров предназначен для фиксации результата операции (регистр выходных данных) и входных данных (регистр входных данных). Оба регистра имеют вход ОЕ, переводящий выходы МС в высокоомное состояние.

Выходы регистра выходных данных необходимо отключать от шины данных в любом из следующих трёх случаев: при выборке слова из ОЗУ; при чтении из портов ввода; во время работы канала ПДП.

Выходы регистра входных данных необходимо переводить в высокоомное состояние во время разрешения съёма данных с БВП.

Все МПС, регистры, схемы СУСС и СУП синхронизируются от единого источника тактовых импульсов.

Построим операционное устройство на базе МПС 1804BC1.

АЛУ в структурной схеме М-автомата реализующего умножение и деление чисел из контрольной работы №1 имеет 24 разрядов. Требуемая разрядность операционного устройства реализуемого на базе МПС 1804BC1 (разрядность 4) обеспечивается объединением необходимого числа микропроцессорных секций. Так как разрядность обрабатываемых в БОД слов равна 24, то схема МПБ будет состоять из 6 МПС 1804BC1.

С целью повышения скорости выполнения арифметических операций в МПБ применяют схемы ускоренного переноса (СУП) на базе К1804BP1. Так как одна К1804BP1 позволяет организовать параллельные цепи переноса в блоке обработки данных разрядностью до 16, то при разрядности БОД равной 24 будет использовано три К1804BP1.

Для ускорения процесса организации сдвига ветвления и усложнения условия перехода используют в БОД схему управления состояниями и сдвигами (СУСС) реализованной на базе К1804BP2. Для реализации микроопераций сдвига и обработки слова состояния процессора в БОД будет использована одна К1804BP2.

В итоге получим следующую схему соединений в БОД (рис. 3).

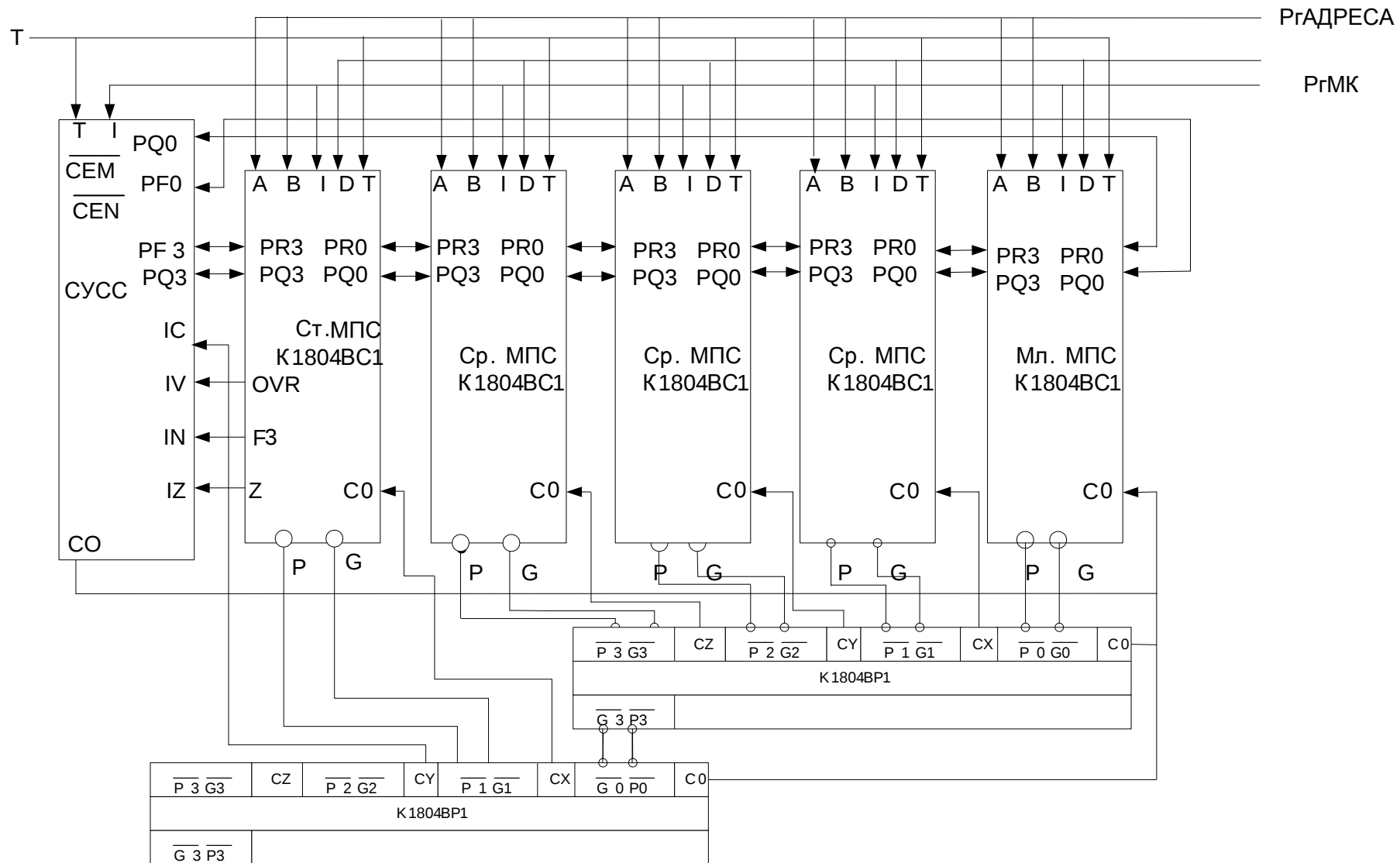


Рис.3 Схема соединений в БОД.

Составим микропрограмму управления БОД.

Элементарная, функциональная операция, выполняемая за один тактовый интервал времени и приводимая в действие одним управляющим сигналом, называется микрооперацией.

Совокупность микроопераций, выполняемых параллельно во времени, называют микрокомандой.

Выполнение всех действий в процессоре осуществляется в виде отработки множества команд (процессоры с фиксированной архитектурой) или микрокоманд. В частности, микропроцессорная секция K1804BC1 функционирует под действием микрокоманд, хранящихся в управляющей памяти. При этом всю последовательность микрокоманд, предназначенных для реализации некоторого преобразования, называют микропрограммой.

Стандартная структура микрокоманды обычно включает в свой состав две основные части: операционную и адресную. Адресная часть используется при формировании адреса следующей микрокоманды. Операционная часть отвечает за управление процессом преобразования данных.

МПС 1804BC1 реализует 24 микрооперации, которые разбиты на 3 группы по 8 микроопераций. Каждая группа имеет свое функциональное назначение, принципиально отличное от преобразований, кодируемых в другой группе.

При составлении микропрограммы адресную часть её опустим.

Структура микрокоманды для управления БОД будет иметь вид:

Управляющие коды				Адресные линии		Операнд
$I_8 - I_6$	$I_5 - I_3$	$I_2 - I_0$	C_0	$A_3 - A_0$	$B_3 - B_0$	$D_{19} - D_0$

Действия микрокоманд заданы в таблицах 1, 2, 3.

Табл.1

Микрокод				Источники операндов АЛУ	
I_2	I_1	I_0	8-рич.	R	S
0	0	0	0	A	Q
0	0	1	1	A	B
0	1	0	2	0	Q
0	1	1	3	0	B
1	0	0	4	0	A
1	0	1	5	D	A
1	1	0	6	D	Q
1	1	1	7	D	0

Табл.2

Микрокод				Операция АЛУ
I_5	I_4	I_3	8-рич.	
0	0	0	0	$R+S+C_0$
0	0	1	1	$S-R-1+C_0$
0	1	0	2	$R-S-1+C_0$
0	1	1	3	$R \vee S$
1	0	0	4	$R \wedge S$
1	0	1	5	$\overline{R} \wedge S$
1	1	0	6	$R \oplus S$
1	1	1	7	$\overline{R \oplus S}$

Табл. 3

Микрокод				РЗУ		RG Q		Выход Y
I ₈	I ₇	I ₆	8-рич.	Сдвиг	Загрузка	Сдвиг	Загрузка	
0	0	0	0	—	—	—	$F \rightarrow Q$	F
0	0	1	1	—	—	—	—	F
0	1	0	2	—	$F \rightarrow A$	—	—	F
0	1	1	3	—	$F \rightarrow B$	—	—	F
1	0	0	4	Вправо	$F/2 \rightarrow A$	Вправо	$Q/2 \rightarrow Q$	F
1	0	1	5	Вправо	$F/2 \rightarrow B$	—	—	F
1	1	0	6	Влево	$2F \rightarrow A$	Влево	$2Q \rightarrow Q$	F
1	1	1	7	Влево	$2F \rightarrow B$	—	—	F

Для вычисления нам дана функция $f(a_i) = \ln(b \cdot a_i)$.

Вычисление функции $f(a_i) = \ln(b \cdot a_i)$ производится по следующему алгоритму (подробный алгоритм содержится в контрольной работе №1) таблица 4:

Таблица 4.

Y _m	Микрокоманда	ШД ₁	ШД ₂
Y ₁	RG 2[23.0]:=a	-	a
Y ₂	RG 3[23.0]:=b	b	-
Y ₃	RG C _M [23.0]:= 0	-	-
Y ₄	RG 4(Мн) [23.0]:= Мн	-	Мн
Y ₅	RG 5(Мт) [23.0]:= Мт	-	Мт
Y ₆	RG Cт ₂₁ [12.0]:= 0,5n+1=13	-	1101
Y ₇	T _д [0]:=0	-	-
Y ₈	RG C _M [23.0]:= RG C _M [23.0]+ RG Мн [23.0]	RG C _M [23.0]	RG Мн [23.0]
Y ₉	RG C _M [23.0]:= RG C _M [23.0]+L1(RG Мн [23.0].0)	RG C _M [23.0]	RG Мн [23.0]
Y ₁₀	RG C _M [23.0]:= RG C _M [23.0]+ γ RG Мн [23.0]+1	RG C _M [23.0]	RG Мн [23.0]
Y ₁₁	T _д [0]:=1	-	-
Y ₁₂	RG Cт ₂₁ [12.0]:= RG Cт ₂₁ [12.0] – 1	-	RG Cт ₂₁ [12.0]
Y ₁₃	RG Мн [23.0]:= L2(RG Мн [23.0].00)	RG 4 [23.0]	-
Y ₁₄	RG Мт [23.0]:= R2(00.RG Мт [23.0])	-	RG 5 [23.0]
Y ₁₇	RG 2 [23.0]:= RG 2 [23.0]-1	-	RG 2 [23.0]
Y ₁₈	RG 3 [23.0]:= RG 2 [23.0]	-	RG 2 [23.0]
Y ₁₉	RG 6 [23.0]:= RG 3 [23.0]	RG 3 [23.0]	-
Y ₂₀	T _{3H} [0]:=1	-	-
Y ₂₁	RG Cт ₂₂ [3.0]:=2	0010	-
Y ₂₂	RG 6 [23.0]:= RG C _M [23.0]	RG 1[23.0]	-
Y ₂₃	RG 1 [23.0]:= RG 6 [23.0](Дм)	-	RG 6 [23.0]
Y ₂₄	RG 5 [23.0]:= RG Cт ₂₂ [3.0](Дт)	RG 8 [3.0]	-
Y ₂₅	RG 1 [23.0]:= RG 1 [23.0]+ RG 5 [23.0]	RG 1 [23.0]	RG 5 [23.0]
Y ₂₆	RG 1 [24.0]:=1	00000...1	-
Y ₂₇	RG 1 [24.0]:=0	00000...0	-
Y ₂₈	RG Cт ₂₁ [12.0]:=24	11000	-
Y ₂₉	RG 1 [23.0]:= L1(RG 2 [23.0].0)+ RG 5 [23.0]	RG 2 [23.0] RG 2	RG 5 [23.0]
Y ₃₀	RG 1 [43.0]:= L1(RG 2 [43.0].0)- RG 5 [43.0]	[23.0]	RG 5 [23.0]
Y ₃₁	RG 1[RG CT ₂₁ -1]:=0	-	0000...00
Y ₃₂	RG 1[RG CT ₂₁ -1]:=1	-	0000...01
Y ₃₃	RG CT ₂₁ := RG CT ₂₁ -1	-	RG Cт ₂₁ [12.0]
Y ₃₄	RG 2 [23.0]:= RG 2 [23.0]-RG C _M [23.0]	RG 1 [23.0]	RG 2 [23.0]
Y ₃₅	T _{3H} [0]:=0	-	-
Y ₃₆	RG 2 [23.0]:= RG 2 [23.0]+RG C _M [23.0]	RG 1 [23.0]	RG 2 [23.0]
Y ₃₇	RG CT ₂₂ := RG CT ₂₂ +1	RG 8 [3.0]	-

На основании структуры микрокоманды и алгоритма вычисления заданной функции составим микропрограмму управления БОД (таблица 5).

Таблица 5

Y _m	Управляющие коды				Адресные линии		Операнд
	I ₈ – I ₆	I ₅ – I ₃	I ₂ – I ₀	C ₀	A ₃ – A ₀	B ₃ – B ₀	D
1	011	000	111	0	xxxx	0001	X
2	011	000	111	0	xxxx	0010	X
3	010	000	111	0	0010	xxxx	X
4	010	000	111	0	0011	xxxx	X
5	010	000	111	0	0110	xxxx	X
6	010	000	111	0	1000	xxxx	X
7	010	000	111	0	0100	xxxx	0
8	010	000	111	0	0101	xxxx	0
10	010	000	001	0	0100	0001	X
11	101	000	100	0	0100	xxxx	X
12	010	000	001	0	0100	0001	X
13	101	000	100	0	0100	xxxx	X
14	010	000	001	0	0100	0001	X
15	101	000	100	0	0100	xxxx	X
16	010	000	001	0	0100	0001	X
17	101	000	100	0	0100	xxxx	X
18	010	000	001	0	0100	0001	X
19	101	000	100	0	0100	xxxx	X
20	010	000	001	0	0100	0001	X
21	101	000	100	0	0100	xxxx	X
22	010	000	001	0	0100	0001	X
23	101	000	100	0	0100	xxxx	X
24	010	000	001	0	0011	0001	X
25	011	000	100	0	0100	0001	X
26	011	000	100	0	0101	0010	X
27	010	000	111	0	0100	xxxx	0
28	010	000	111	0	0101	xxxx	0
29	010	000	100	0	0110	xxxx	X
30	010	001	100	0	0001	xxxx	X
31	010	101	000	0	0010	xxxx	X
32	010	000	010	1	0000	xxxx	X
33	010	101	000	1	0010	xxxx	X
35	011	000	100	0	0010	0011	X
36	011	000	001	0	0110	0001	X
37	011	000	001	0	0010	0001	X

Примечание:

1. Код xxxx любое значение разряда.

Литература.

1. Кобяк И.П. Архитектура компьютерных устройств. Ч.1: Метод. пособие по курсам ТиП ЭВМ и СИФО ЭВМ для студентов специальности Т10.04.00 “Вычислительные машины системы и сети” заочной формы обучения. В 2 ч.- Мн.: БГУИР, 1999, - 41с.
2. Кобяк И.П. Архитектура компьютерных устройств. Ч.2: Метод. пособие по курсам ТиП ЭВМ и СИФО ЭВМ для студентов специальности Т10.04.00 “Вычислительные машины системы и сети” заочной формы обучения. В 2 ч. – Мн.: БГУИР, 2001. - 44 с.
3. Майоров С.А., Новиков Г.И. Структура электронных вычислительных машин. – Л.: Машиностроение. Ленинградское отделение, 1979. – 484 с.
4. Лукьянова И.В., Луцик Ю.А.. Арифметические и логические основы вычислительной техники: Учебное пособие по курсу «Арифметические и логические основы вычислительной техники». -Мн.: БГУИР, 2004.