1. **Фазы выборки и исполнения команд**



Рис. 1.1

Шинные связи между компонентами блок-схемы спецкомпьютера в основном определяются фазами выборки и исполнения команд.

Принципиально фаза выборки начинается с выдачи соответствующего адреса из СчАК (счетчик адреса команды) на шину адреса системы. При этом текущее значение счетчика определяется естественным способом формирования адресов (используется линия *INR*) или алгоритмом отработки команд перехода. Последний, очевидно, и предполагает наличие двунаправленной связи между блоком управления, ШД и входом счетчика команд. На втором шаге контроллер ОЗУ, входящий в данной структуре в блок ОЗУ, принимает адресное слово, делит его на адреса строки и столбца и передает на адресный вход памяти. Блок управления включает память в режим чтения и принимает по ШД команду (или только ее первый байт) в свой внутренний регистр команд *RGK*. На этом фаза выборки завершается.

Фаза исполнения включает в себя четыре шага. На первом шаге осуществляется декодирование кода операции и распознавание общей длины управляющего слова. В результате выясняется последовательность действий, необходимая для выполнения преобразований и, если требуется, с использованием системной шины дочитывается оставшаяся часть команды.

На втором шаге совместные действия БУ (или БМУ – блока микропрограммного управления) и БОД позволяют сформировать адреса операндов и передать считанные данные во внутренние регистры БОД для обработки.

Третий шаг – это преобразование данных с учетом кода операции. При этом БМУ формирует сигналы управления для БОД и определяет характер действий, необходимых для получения результата. Арифметико-логическое устройство на основе сформированного результата формирует признаки (или флаги), которые передаются в устройство управления и далее используются для ветвления вычислительного процесса.

На четвертом шаге осуществляется запись результата в ОЗУ или другой приемник в соответствии с алгоритмом отработки текущей команды. В целом перечисленные действия определяют наличие двунаправленных линий связи между блоками и устройствами проектируемого компьютера. Последней микрооперацией фазы исполнения является микрооперация инкрементирования счетчика команд, после чего блок управления вновь реализует фазу выборки.

1. **Отработка команд ветвления на микропрограммном и программном уровнях**

Для организации условных и безусловных переходов на микропрограммном уровне в состав блока микропрограммного управления включается стандартное ПЗУ К1804ВУ3 или нестандартное ПЗУ, программируемое разработчиком компьютера на стадии изготовления. Основное назначение данного модуля состоит в управлении источниками адреса микропрограммной памяти, расположенными в БИС СУАМ. В соответствии с поставленной целью в ПЗУ выбираются две соседние ячейки: четная и нечетная, адреса которых конкретизируются младшей адресной линией *A*0. Например, *ХХХХ*0 и *ХХХХ*1, где *Х* – это произвольное значение бита. Как правило, в качестве адресной информации, подаваемой на вход *A*0, используется признак *CT*, поступающий от БОД. Если в процессе вычислений признак оказался равен «0», то из ПЗУ читается четное управляющее слово, а если признак *CT* = 1, то из ПЗУ читается нечетное слово. При этом различное информационное наполнение указанных двух ячеек позволяет переводить модуль СУАМ из одного режима формирования адресов в другой, иными словами, в системе реализуется условный переход. Если же в четной и нечетной ячейках ПЗУ хранятся одинаковые слова, то в системе выполняется безусловный переход на адрес, соответствующий считанному из ПЗУ управляющему слову.



Рис. 2.1. Устройство управления

1. **Ввод-вывод данных (по прерыванию, асинхронный режим)**

 Как правило, для ввода–вывода данных в компьютер используются регистры с тремя состояниями выходной шины *DO*. На рис. 3.1 приведена схема соединения таких регистров и элементов системы, применяемых для ввода информации. При вводе по данной схеме периферийное устройство (ПУ) устанавливает вводимое слово на входы *DI* порта и посылает по линии *WR* активный уровень записи. Процессор принимает запрос на обслуживание в виде сигнала *INT*, после чего на ША машины выдается адрес порта, сформировавшего запрос. Дешифратор внешних устройств расшифровывает адрес и возбуждает на своем выходе соответствующую линию выборки. Это определяет на входе *OE* адресуемого регистра активный нулевой уровень, что определяет подключение выходной шины *DO* используемого порта к ШД компьютера. Информационные выходы остальных портов сохраняют состояние высокого сопротивления.

В результате выполнения команды *IN* («Ввод») вводимая информация передается на шину данных и записывается в один из регистров процессора. На этом цикл ввода с периферийного устройства завершается.

Рис. 3.1

 При выводе данных на внешние носители может быть использована схема, приведенная на рис. 3.2. В данной схеме инициатором обмена является компьютер. В режиме вывода процессор системы выдает на ША адрес порта, на ШД – выводимую информацию. Дешифратор порта возбуждает на своем выходе требуемую линию выборки, и входная шина *DI* адресуемого устройства оказывается подключенной к ШД компьютера. Входные информационные шины остальных портов отключены от ШД, так как соответствующие выходы дешифратора находятся в пассивном единичном состоянии.

Для непосредственной записи данных в порт на линии *IOW* ШУ устанавливается активный уровень управляющего сигнала. Это соответствует появлению синхросигнала на входе *С* регистра и предполагает запись данных в адресуемый порт. Внешнее устройство оповещается о запросе со стороны компьютера сигналом готовности *RDY*. В качестве такого сигнала может быть использован специальный интерфейсный вывод процессора или, например, выход дешифратора порта, как показано на рис. 3.2.



Рис. 3.2



Рис. 3.3. Блок ввода-вывода данных

В режиме считывания из порта внешнее устройство формирует сигнал *WR*=0, указывающий на запрос от ВУ. Переход *WR* из «1» в «0» формирует сигнал разрешения записи в *RGR* через *DA* (7…0). При этом устанавливается сигнал запроса прерываний *FS0* = «1». Процессор принимает сигнал запроса и формирует сигнал *IOR* на шине управления. Если *IOR =* «0» и адрес порта указан верно, то на вход *EDA* подается «1», что соответствует разрешению считывания данных из порта на ШД.

В режиме записи в порт процессор формирует на ШУ сигнал *IOW = «0»*. На вход *ECR* передается *«0»*, что соответствует перепаду из *«1»* в *«0»*, т.к. сигнал IOW был установлен в *«1»*. Подача *«0»* на вход *ECR* разрешает передачу данных с ШД на ВУ и в тоже время формирует сигнал *FR0* = «1» для передачи запроса к ВУ на вход *RDY*. При совпадении адреса порта, на вход *EDB* попадает «1», что разрешает выдачу данных с ШД на внешнее устройство.

1. **Прямой доступ к памяти**



Рис. 4.1

Такой тип обращения к памяти организуется при обслуживании внешних устройств, которые требуют быстрого ввода данных в режиме наиболее приоритетного прерывания. Как правило, при вводе используются аппаратные средства самого канала без участия процессорного блока или устройства управления (рис. 4.1).

Внешние устройства (ВУ), использующие канал ПДП, обычно передают информацию в виде сообщений заданной длины. При этом, если компьютер ожидает обмена через порт, то специальная программа операционной системы предварительно инициализирует регистр *А* канала начальным адресом области памяти, используемой для приема данных. В регистр *RG Т*2 – счетчик длины сообщения – заносится информация о количестве слов, принимаемых от У. В целом адресация регистров канала ПДП осуществляется точно так же, как и обычных портов ввода–вывода.

Классически при поступлении запроса на ПДП (*INT*) процессор приостанавливает вычислительный процесс и переводит информационную шину и шину адреса в третье состояние. После этого выдается импульс подтверждения ПДП, устанавливающий соответствующий триггер состояние единицы. С этого момента времени шины компьютера полностью передаются в распоряжение канала.

Схема, приведенная на рис. 4.1, предполагает, что компьютер, использующий блок ПДП, имеет разрядно-модульную организацию связей. При этом сигнал *INT* не анализируется процессором, а напрямую отключает синхронизацию системы на время ввода данных.

В режиме ввода информации нулевое значение с инверсного выхода триггера активизирует входы *OE* регистра *RG A* и регистра входных данных *RGD* и переводит их шины *DO* в рабочий режим. Прямой выход триггера разрешает прохождение импульсов синхронизации от ВУ через двухвходовый элемент И к элементам канала. Это обеспечивает:

* инкрементирование адреса памяти в *RGA*
* вычитание счетчика слов в *RG Т*2
* запись входной информации в *RGD*
* выдачу содержимого *RGD* на шину данных компьютера.

В режиме ПДП сигнал *MEM R/W* шины управления должен находиться в состоянии единицы. Таким образом, инверсные синхроимпульсы, приходящие на соответствующий вход ОЗУ от ВУ, используются как импульсы записи информации в память противофазно относительно данных, принимаемых в *RGD*.

После того как блок данных принят, регистр-счетчик канала ПДП устанавливается в ноль. На его специальном выходе формируется признак нулевого результата z. Этот сигнал сбрасывает триггер ПДП в ноль, и процессор информируется о завершении обмена потенциалом логической единицы с инверсного выхода этого же триггера. Канал ПДП отключается от компьютера, шинные ресурсы системы передаются процессору

1. **Работа компьютера после нажатия кнопки «Сброс»**

Кнопка «Сброс» внешним монтажом подключена к входу $\overbar{zA}$, обеспечивающему при подаче нулевого уровня переход к нулевой ячейке МПП (см. рис. 2.1). При этом в компьютере отрабатывается процедура тестирования внутренних схем и интерфейса, после чего выполняется переход к выполнению микропрограммы «Загрузчик». В общем случае программа тестирования может быть написана на языке высокого уровня и располагаться в системном ПЗУ. В данном случае микропрограмма в МПП, расположенная с нулевого адреса, должна содержать информацию, передающую управление в блок компьютерной памяти (ПЗУ). Если программный «Загрузчик» расположен также в системном ПЗУ, то соответствующая информация из МПП удаляется. В любом случае «Загрузчик» выполняет извлечение из ВЗУ программы «Первоначальная загрузка» и размещает ее в ОЗУ, после чего осуществляется загрузка в память служебных программ, драйверов, программ пользователя и установка блоков компьютера и интерфейса в требуемое состояние. Далее на экран монитора выводится командная строка, и пользователь имеет возможность запустить на выполнение свою программу. В автоматическом режиме работы управление может быть передано одной из программ операционной системы путем записи в СчАК соответствующего адреса. В любом случае извлечение команды из памяти осуществляется под управлением микропрограммы «Выборка команды».