

Министерство образования Республики Беларусь

Учреждение образования

Белорусский государственный университет информатики и  
радиоэлектроники

Кафедра РТС

Отчет по лабораторной работе №3

«ФОРМИРОВАНИЕ АНАЛОГОВЫХ СИГНАЛОВ НА ПЛИС»

Выполнил:

ст.гр. 240102  
shlom41k

Проверил:

xxxxxxxxxx

Минск 2015

## Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию цифроаналоговых устройств.
2. Формирование практических навыков создания цифроаналоговых устройств на основе ПЛИС.
3. Приобретение практических навыков работы с реальными устройствами на базе ПЛИС и контрольно-измерительными приборами.

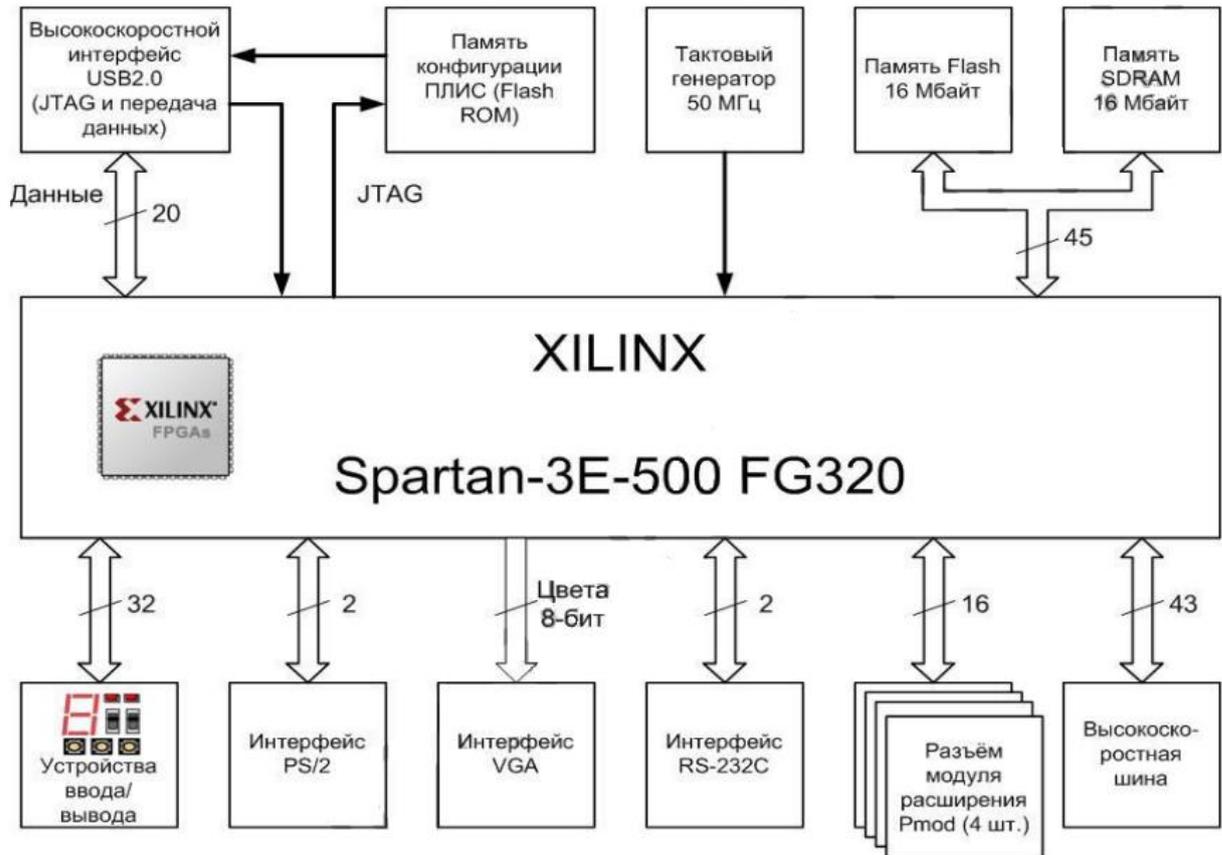


Рисунок 1 – Структура отладочной платы

## Условия индивидуального задания

Таблица 1 – Параметры формируемого сигнала

Форма сигнала	Период повторения, Гц	Количество отсчетов на период	Амплитуда, В
Лемниската Бернулли	15	2048	0...3

## Выполнение работы

На основе полученных данных произвели расчет сигнала заданной формы в среде *Matlab* (получили отсчеты сигнала).

Реализовали генератор сигнала заданной формы на ПЛИС с заданной частотой. Реализацию функциональных блоков генератора осуществили путем описания их на языке VHDL.

### *Листинг программы*

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
use IEEE.NUMERIC_STD.ALL;

entity DDS is
  Port ( clock_en      : in  STD_LOGIC;  -- Разрешение счета
        clk           : in  STD_LOGIC;  -- Входная частота (50 МГц)
        reset         : in  STD_LOGIC;  -- Сброс
        done          : in  STD_LOGIC;  -- Готовность ЦАП
        F_out         : out STD_LOGIC;  -- Запуск/запрет запуска ЦАП
        F_out_T       : out STD_LOGIC;  -- Период повторения сигнала
        F_out_ROM_X   : out STD_LOGIC_VECTOR (11 downto 0); -- Координаты X
        F_out_ROM_Y   : out STD_LOGIC_VECTOR (11 downto 0); -- Координаты Y
        );
end DDS;

architecture Behavioral of DDS is

  Type TypeROM_X is array(1 to 2048) of integer range 0 to 3724; -- Массив для X
  Type TypeROM_Y is array(1 to 2048) of integer range 0 to 3723; -- Массив для Y

  signal ROM_X:      TypeROM_X:=(.....); -- Отсчеты X
  signal ROM_Y:      TypeROM_Y:=(.....); -- Отсчеты Y
  signal F_out_temp: std_logic; -- Запуск ЦАП
  signal F_out_temp_T: std_logic; -- Период повторения сигнала
  signal OutROM_Y:   std_logic_vector (11 downto 0); -- Координаты X
  signal OutROM_X:   std_logic_vector (11 downto 0); -- Координаты Y
  signal counter15x: std_logic_vector (8 downto 0); -- Частота выдачи точек
  signal i_temp:     integer range 0 to 2048; -- Счетчик адреса текущего отсчета

begin

process (clk, reset, done)

begin

  if reset = '1' then
```

```

counter15x <= (others => '0');      -- Обнуление переменных
F_out_temp <= '0';                --//--
F_out_temp_T <= '0';              --//--
i_temp <= 0;                       --//--
OutROM_Y <= (others => '0');       --//--
OutROM_X <= (others => '0');       --//--

elsif clk = '1' and clk'event then

    if clock_en = '1' then
        counter15x <= counter15x + 1;
    end if;

    if counter15x = "110010111" then -- 15x2048 Гц
        counter15x <= (others => '0');

        if done = '1' then          -- Проверка готовности ЦАП
            i_temp <= i_temp + 1;    -- +1 к счетчику текущего разряда
            F_out_temp <= '1';       -- Разрешение на запуск ЦАП
            OutROM_X <= conv_std_logic_vector(ROM_X(i_temp), OutROM_X'length);
            OutROM_Y <= conv_std_logic_vector(ROM_Y(i_temp), OutROM_Y'length);
        end if;
    end if;

    if i_temp = 2048 then           -- Выдали все точки из массива
        i_temp <= 0;                -- Обнуление счетчика текущего разряда
        F_out_temp_T <= not F_out_temp_T
    end if;
end if;

if done = '0' then                 -- Проверка готовности ЦАП
    F_out_temp <= '0';             -- Запрет запуска ЦАП
end if;

F_out_ROM_Y <= OutROM_Y; -- Координата X
F_out_ROM_X <= OutROM_X; -- Координата Y
F_out <= F_out_temp;             -- Запуск/запрет запуска ЦАП
F_out_T <= F_out_temp_T;         -- Период повторения сигнала

end process;

end Behavioral;

```

Для связи с внешним модулем ЦАП использовали компонент **DA2RefComp.vhd**. Связи между блоками выполнили в схематехническом редакторе *Schematic*.

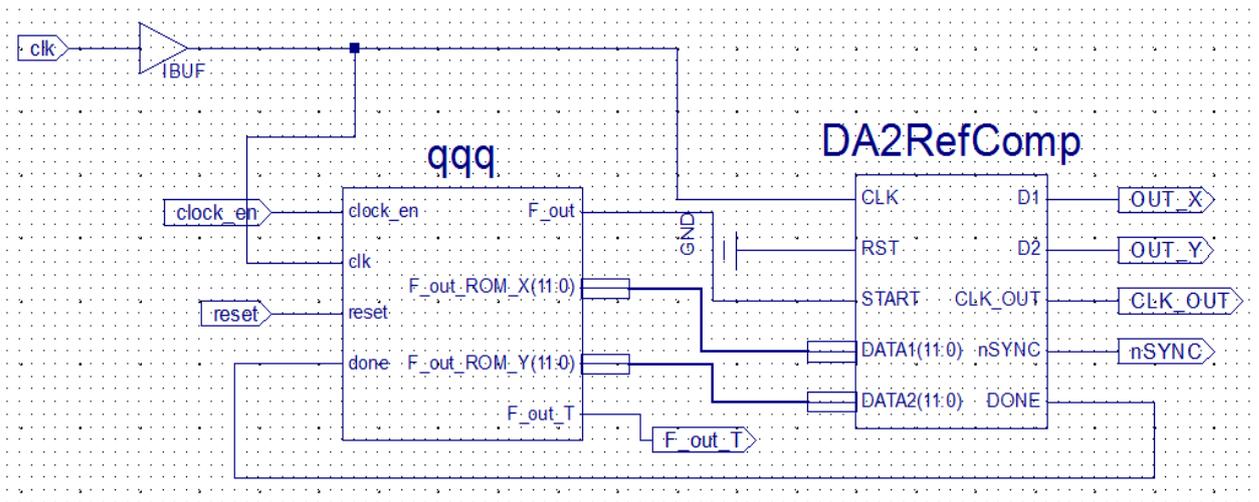


Рисунок 2 – Схема разработанного устройства

Убедились в работоспособности полученного устройства и произвели измерения временных и амплитудных параметров сигнала при помощи цифрового осциллографа.

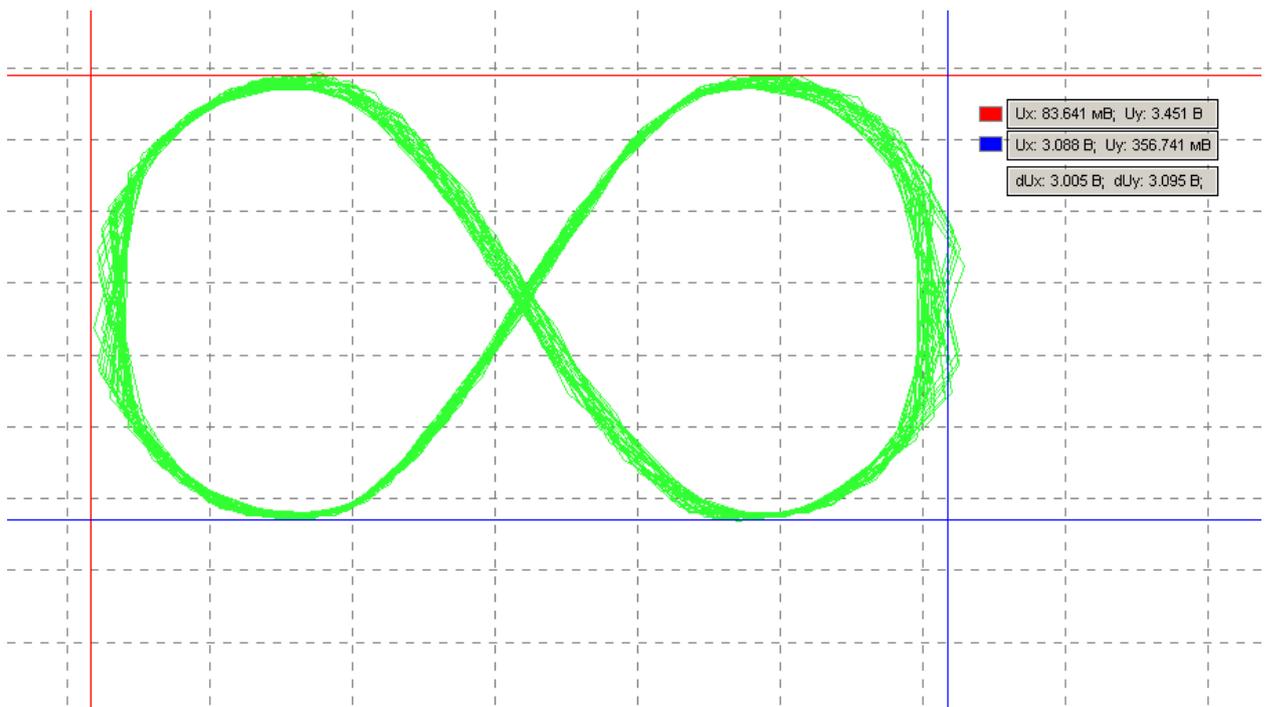


Рисунок 3 – Измерение амплитудных параметров сигнала

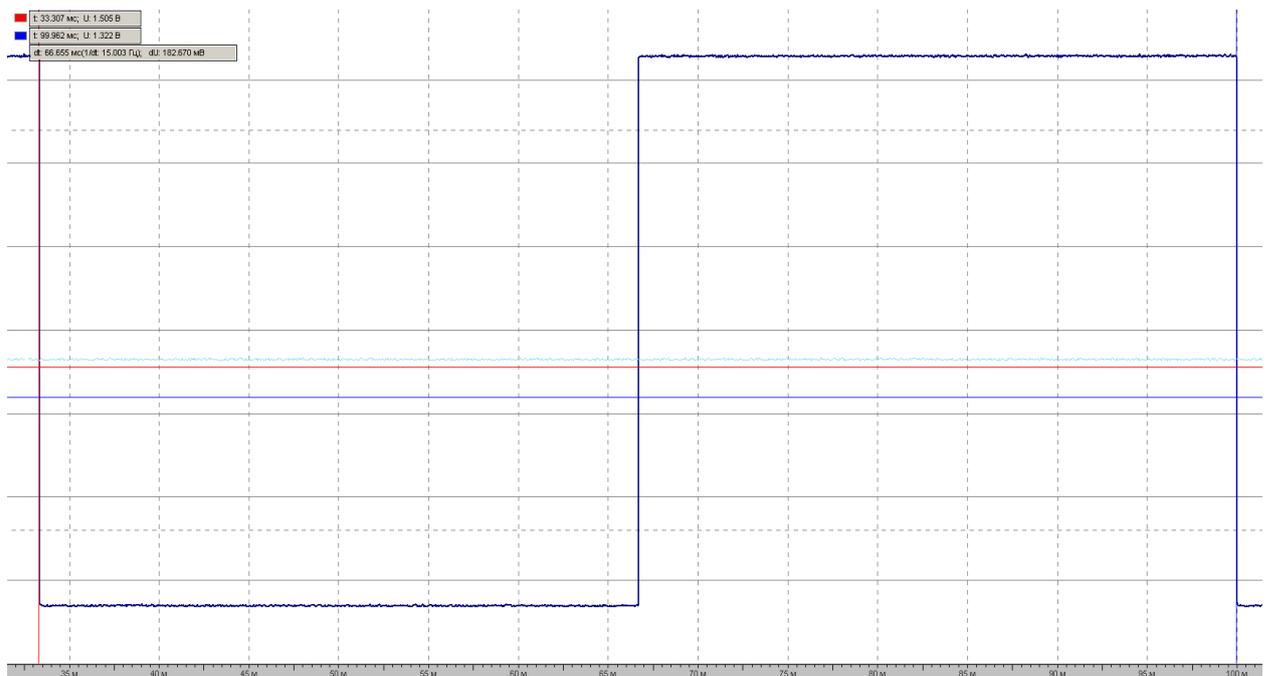


Рисунок 4 – Измерение временных параметров сигнала

## Вывод

В данной лабораторной работе был реализован на ПЛИС генератор сигнала заданной формы с заданной частотой. Реализацию функциональных блоков генератора осуществили путем описания их на языке VHDL. Связи между блоками осуществили в среде *Schematic*. Убедились в работоспособности полученного устройства и произвели измерения временных и амплитудных параметров сигнала при помощи цифрового осциллографа.